

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 1 年 8 月 1 0 日
Date of Application:

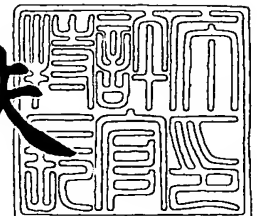
出 願 番 号 特 願 2 0 0 1 - 2 4 3 4 0 7
Application Number:
[ST. 10/C]: [J P 2 0 0 1 - 2 4 3 4 0 7]

出 願 人 株式会社アドバンテスト
Applicant(s):

2 0 0 4 年 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 1 3 4 7

【書類名】 特許願

【整理番号】 ATS10484-1

【提出日】 平成13年 8月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L

【発明者】

【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
テスト内

【氏名】 和田 晃一

【発明者】

【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
テスト内

【氏名】 前田 泰宏

【特許出願人】

【識別番号】 390005175

【氏名又は名称】 株式会社アドバンテスト

【代表者】 丸山 利雄

【手数料の表示】

【予納台帳番号】 045207

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プローブカード及びプローブカードの製造方法

【特許請求の範囲】

【請求項 1】 被試験回路上に設けられた複数の接続端子に電氣的に接続して、前記被試験回路と、外部の半導体試験装置との間で信号の伝送を行わしめるプローブカードであって、

第 1 の基板と、

前記第 1 の基板において形成された複数の信号伝送路と、

第 2 の基板に形成された複数の接触子と、

前記被試験回路に設けられた前記接続端子の先端に接触するように、前記信号伝送路の先端に前記複数の接触子を複数回に分けて接触して固定することにより前記外部の半導体試験装置との間で信号の伝送を行わしめる、

ことを特徴とするプローブカード。

【請求項 2】 前記第 2 の基板は、前記接続端子と前記接触子が接触して固定された後、除去されたことを特徴とする請求項 1 記載のプローブカード。

【請求項 3】 前記複数の接触子は、前記第 2 の基板上では接触子と接触子に対向するように配置された、もしくは、接触子と接触子が周回するように配置されたことを特徴とする請求項 1 又は 2 記載のプローブカード。

【請求項 4】 前記第 1 の基板は、多層基板であることを特徴とする請求項 1、2 又は 3 記載のプローブカード。

【請求項 5】 被試験回路上に設けられた複数の接続端子に電氣的に接続して、前記被試験回路と、外部の半導体試験装置との間で信号の伝送を行わしめるプローブカードの製造方法であって、

第 1 の基板を備え、前記第 1 の基板において複数の信号伝送路を形成し、

第 2 の基板に複数の接触子を形成し、

前記被試験回路に設けられた前記接続端子接触するように、前記信号伝送路の先端に前記複数の接触子を接続されて固定するように形成し、

前記信号伝送路の先端に前記複数の接触子を接続されて固定することを少なくとも 1 度以上行うことにより所定のプローブカードが製造される、

ことを特徴とするプローブカードの製造方法。

【請求項 6】 前記信号伝送路の先端に前記複数の接触子を接続されて固定した後、前記第 2 の基板を除去する、

ことを特徴とする請求項 5 記載のプローブカードの製造方法。

【請求項 7】 前記複数の接触子は前記第 2 の基板と同じ基材である、
ことを特徴とする請求項 5 又は 6 記載のプローブカードの製造方法。

【請求項 8】 前記第 2 の基板は、前記第 2 の基板に所定の貫通孔を形成し
前記複数の接触子を前記貫通孔に収容されるように形成する、
ことを特徴とする請求項 5、6 又は 7 記載のプローブカードの製造方法。

【請求項 9】 請求項 2 記載の第 2 の基板と、
請求項 3 記載の接触子と、
を具備することを特徴とする請求項 1 記載のプローブカード。

【請求項 10】 複数の接触子を複数回に分けて接触して固定することにより、被試験回路上に設けられた複数の接続端子の配置に対応して、第 1 の基板上で複数の接触子が所定にエリアに配置される、ことを特徴とする請求項 1 記載のプローブカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、L S I のウエハ等に形成された被試験デバイス (D U T) と電氣的接触する多数個の接触パッド (電極パッド) に対して、電氣的に接触を行うプローブピンを形成して備えるプローブカード、及びその製造方法に関する。特に、行列配設された D U T の接触パッドに対応するプローブピンを形成する接合行程を半減可能としたプローブカード、及びその製造方法に関する。

【0002】

【従来の技術】

本願に係る公知技術としては同一発明人による特願平 2 0 0 0 - 1 4 5 9 7 5 (プローブカードおよびその製造方法) がある。

これによれば、狭ピッチで多数のパッドを有する集積回路に、高周波の信号を伝送することができるプローブカードを提供することができる。

【0003】

次に、従来技術について、図1と図2と図3とを参照して以下に説明する。尚、プローブカードは公知であり技術的に良く知られている為、本願に係るプローブカードの要部を除き、その他の構成要素、及びその詳細説明については省略する。

【0004】

図1(a)は、シリコン基板(Si基板)12を底面側から見た平面図と、側断面図とから見た図である。この形成構造を説明する。ここでは、3個のプローブピンが対向して配列する簡単な例とする。これは公知技術によって製作形成される。

Si基板12の構成要素は、図1(a)に示すように、6個のプローブピン10と、Si貫通孔(貫通孔)14を備える。尚、Si基板12自体は、6個のプローブピン10が精密な位置に形成され、これらの位置を保持する保持構造体である。後述するプローブカードの所定位置へプローブピン10を接合固定後にはエッチング除去される。

【0005】

プローブピン10は、DUTの電極パッドへ電氣的に接触させるプローブ(針)であり、所定の湾曲形状を有して弾性が得られるように形成されていて、目的とするプローブカードのコンタクト配列に対応するように配設形成されている。これは、公知技術によってSi基板12に接合した状態で存在する。

【0006】

Si貫通孔14は、所定の湾曲形状を有するプローブピン10をSi基板12の内側へ形成収容する為に必要となる開口孔である。

【0007】

図1(b)は、プローブカードのベース基板4を上側から見た平面図と、側断面図である。この形成構造を説明する。プローブカードの要部構成要素は、ベース基板4と、6個のピンパッド8と、6本のピン配線パターン6とを備える。

【0008】

ベース基板4は、プローブカードの本体構造物であり、DUTの信号を外部へ授受させる為の回路基板であり、DUT個々のコンタクト配列に対応して製作されて、外部の端子／コネクタ（図示せず）へ各プローブピン10と1：1にパターン配線される。例えば40ピン端子を備える64個のDUTを同時測定するプローブカードと仮定すると、数千個のプローブピン10を備えることになる。

【0009】

6個のピンパッド8は、対応する6個のプローブピン10の根本部と接合して電氣的／機械的に接続する電極パッドである。

6本のピン配線パターン6は、各ピンパッド8と、対応する外部の端子／コネクタ（図示せず）とを電氣的に接続する配線パターンである。

【0010】

次に、図2（a）の行程は、Si基板12とベース基板4を接合する行程を示す断面図である。

Si基板12は反転させた状態で6個のプローブピン10の根本部と、対応するベース基板4の6個のピンパッド8の中央部位とを所定に位置合わせした後、両者を電氣的／機械的に接合する。

【0011】

次に、図2（b）の行程は、プローブピン10によって接合された状態にあるSi基板12の除去行程を示す断面図である。Si基板12はエッチングにより除去される。

この除去の結果、図2（c）のプローブカードの上面側からの平面図に示すように、目的とするプローブカードのプローブピン10のコンタクト配列が実現される。尚、完成したプローブカードは、プローバ装置等に装着されてDUTの電氣的試験が半導体試験装置等によって行われる。このとき、プローブピン10先端のコンタクト端部11がDUTの電極パッドに電氣的に押圧接触される。

【0012】

次に、上述図2の転写実装行程（接合行程）が1回で実現できる配列の例を図3に示して説明する。

図3 (a) のプローブピン10のコンタクト配列例は、2列で対向する単純な配列形態とする。この場合には、対応する1つのSi貫通孔14aに基づくSi基板12の製作によりベース基板4に接合できるからして、一度に全てのプローブピン10を接合して形成可能である。

図3 (b) のプローブピン10のコンタクト配列例は、4辺の1巡する単純な配列形態とする。この場合にも、対応する1つのSi貫通孔14bに基づくSi基板12の製作によりベース基板4に接合できるからして、一度に全てのプローブピン10を接合して形成可能である。

【0013】

次に、上述図2の接合行程が複数回繰り返して形成する配列の例を図4に示して説明する。ここで、プローブピン10のコンタクト配列は、狭い配列ピッチによる6行4列とした簡素な格子状の配列形態の具体例とする。

図4 (a) の平面図に示すように、プローブピン10のコンタクト配列は、2行以上の格子状の配列形態である。この為に、複数回の行程に分割してプローブピン10を接合形成する必要があるものと仮定する。更に、Si基板12の両遠端部の幅は形状維持・強度維持の為に狭い配列ピッチより広くする必要性がある。尚、プローブピン10の接合形成後は図4 (b) の断面図に示すように、プローブピン10が突出して存在する。これらに伴って、図4 (c) に示す製造行程で形成する必要性がある。

【0014】

まず、図4 (c) に示す第1行程では、貫通孔14cにより製作された4個1列分のプローブピン10を有するSi基板12を適用して図4Aに示すように、第1群のプローブピン10を接合後、当該Si基板12をエッチング除去する。

【0015】

次の第2行程では、貫通孔14dにより製作された4個1列分のプローブピン10を有するSi基板12を適用して図4Bに示すように、第2群のプローブピン10を接合後、当該Si基板12をエッチング除去する。

【0016】

以後同様であり、最後の第6行程では、貫通孔14fにより製作された4個1

列分のプローブピン10を有するSi基板12を適用して図4Dに示すように、第6群のプローブピン10を接合後、当該Si基板12をエッチング除去する。

【0017】

上述したように、従来の製作行程によれば、1列単位のプローブピン10を接合形成する手順となる結果、プローブピン10の格子状のコンタクト配列における列数の回数の製作工程が繰り返し必要となる。このことは、Si基板のエッチング回数が繰り返し回数に比例して増えるため時間がかかり、プローブカード製作の作業性が悪い。更に製造コストがかかる難点もある。

【0018】

【発明が解決しようとする課題】

上述説明したように、狭い配列ピッチによる格子状の配列形態のプローブピンを備えるプローブカードの製作においては、1列単位のプローブピンを接合形成する製造手順となる。この結果、多くの製作工程がかかり、時間がかかる結果、生産性が低下して、製造コストがかかる実用上の難点がある。

そこで、本発明が解決しようとする課題は、格子状の配列形態のプローブピンを形成するプローブカードにおいて、少ない製作工程で所定の格子状の配列形態のプローブピンを形成可能なプローブカード、及びその製造方法を提供することである。

【0019】

【課題を解決するための手段】

第1の解決手段を示す。

上記課題を解決するために、被試験回路上に設けられた複数の接続端子に電氣的に接続して、前記被試験回路と、外部の半導体試験装置の間に信号の伝送を行わしめるプローブカードであって、

第1の基板を具備し、

前記第1の基板において形成された複数の信号伝送路を具備し、

第2の基板に形成された複数の接触子を具備し、

前記被試験回路に設けられた前記接続端子の先端に接触するように、前記信号伝送路の先端に前記複数の接触子を複数回に分けて接触して固定することにより

前記外部の半導体試験装置との間で信号の伝送を行わしめる、

ことを特徴とするプローブカードである。

上記発明によれば、格子状の配列形態のプローブピンを形成するプローブカードにおいて、少ない製作工程で所定の格子状の配列形態のプローブピンを形成可能なプローブカードが実現できる。

【0 0 2 0】

次に、第 2 の解決手段を示す。

上述第 2 の基板の一態様としては、前記接続端子と前記接触子が接触して固定された後、除去されたことを特徴とする上述プローブカードがある。

【0 0 2 1】

次に、第 3 の解決手段を示す。

上述複数の接触子の一態様としては、前記第 2 の基板上では接触子と接触子が対向するように配置された、もしくは、接触子と接触子が周回するように配置されたことを特徴とする上述プローブカードがある。

【0 0 2 2】

次に、第 4 の解決手段を示す。

上述第 1 の基板の一態様としては、多層基板であることを特徴とする上述プローブカードがある。

【0 0 2 3】

次に、第 5 の解決手段を示す。

上記課題を解決するために、被試験回路上に設けられた複数の接続端子に電氣的に接続して、前記被試験回路と、外部の半導体試験装置との間で信号の伝送を行わしめるプローブカードの製造方法であって、

第 1 の基板を備え、前記第 1 の基板において複数の信号伝送路を形成し、

第 2 の基板に複数の接触子を形成し、

前記被試験回路に設けられた前記接続端子接触するように、前記信号伝送路の先端に前記複数の接触子を接続されて固定するように形成し、

前記信号伝送路の先端に前記複数の接触子を接続されて固定することを少なくとも 1 度以上行うことにより所定のプローブカードが製造される、

ことを特徴とするプローブカードの製造方法がある。

【0 0 2 4】

次に、第 6 の解決手段を示す。

前記信号伝送路の先端に前記複数の接触子を接続されて固定した後、前記第 2 の基板を除去する、

ことを特徴とする上述プローブカードの製造方法がある。

【0 0 2 5】

次に、第 7 の解決手段を示す。

前記複数の接触子は前記第 2 の基板と同じ基材である、

ことを特徴とする上述プローブカードの製造方法がある。

【0 0 2 6】

次に、第 8 の解決手段を示す。

上述第 2 の基板の一態様は、前記第 2 の基板に所定の貫通孔を形成し、

前記複数の接触子を前記貫通孔に収容されるように形成する、

ことを特徴とする上述プローブカードの製造方法がある。

【0 0 2 7】

次に、第 9 の解決手段を示す。

上述第 2 の基板を具備し、

上述接触子を具備し、

以上を具備することを特徴とする上述プローブカードがある。

【0 0 2 8】

次に、第 1 0 の解決手段を示す。

上述複数の接触子を複数回に分けて接触して固定することにより、被試験回路上に設けられた複数の接続端子の配置に対応して、第 1 の基板上で複数の接触子が所定にエリアに配置される、ことを特徴とする上述プローブカードがある。

【0 0 2 9】

次に、第 1 1 の解決手段を示す。ここで第 5 図 (a) は、本発明に係る解決手段を示している。

上記課題を解決するために、被試験デバイスの行列状に配設された多数個の電

極パッドの各々へ電氣的に接触させるプローブピン（接触針）を備えるプローブカードにおいて、

個々のプローブピンは所定の押圧でコンタクトできるように所定の弾性を備える湾曲したリード形状を備えるプローブであり、

プローブカードの表面上へ行列状に配設すべきプローブピンの中央部位で2群に分割（行方向若しくは列方向に分割）し、分割した一方の群のプローブピンと他方の群のプローブピンにおけるピン配列方向は、対向するようにプローブピンを配設する、ことを特徴とするプローブカードがある。

【0030】

次に、第12の解決手段を示す。ここで第6図（a）は、本発明に係る解決手段を示している。

上記課題を解決するために、被試験デバイスの行列状に配設若しくは周回状に配設された多数個の電極パッドの各々へ電氣的に接触させるプローブ（接触針）を備えるプローブカードにおいて、

個々のプローブピンは所定の押圧でコンタクトできるように所定の弾性を備える湾曲したリード形状を備えるプローブであり、

プローブカードの表面上へ行列状に配設するプローブピンの中央部位で対角線で4群に分割し、分割した4群の中で対向する2群のプローブピンのピン配列方向が対向するようにプローブピンを配設する、ことを特徴とするプローブカードがある。

【0031】

次に、第13の解決手段を示す。

上記課題を解決するために、シリコン基板（Si基板）に所定構造のプローブピンを所定に配置して形成する第1段階のプローブピン形成行程と、前記第1段階のプローブピン形成行程により所定複数種類のSi基板を製作し、前記所定複数種類のSi基板を適用して所定複数回の転写行程により必要とする全てのプローブピンをプローブカードへ転写実装する第2段階の転写実装行程と、に基づいて行列状にプローブピンを配設するプローブカードにおいて、

上記Si基板に配設する複数個のプローブピンは前記Si基板に備える湾曲し

たプローブピンを収容する長方形の S i 貫通孔の 2 辺若しくは 4 辺において、プローブピンのピン配列方向が対向するようにプローブピンを配設して形成する、ことを特徴とする上述プローブカードがある。

【0032】

次に、第 14 の解決手段を示す。

上記プローブピンはシリコン基材をベースして形成されるプローブピンであり、

上記プローブカード側は非シリコン基材をベースとする多層配線基板を適用する、ことを特徴とする上述プローブカードがある。

【0033】

次に、第 15 の解決手段を示す。ここで第 5 図 (c) と第 6 図は、本発明に係る解決手段を示している。

上記課題を解決するために、被試験デバイスの行列状に配設若しくは周回状に配設された多数個の電極パッドの各々へ電氣的に接触させるプローブ（接触針）を備えるプローブカードの製造方法において、

シリコン基材をベースとするシリコン基板（S i 基板）を適用し、この中央部に湾曲した所定構造のプローブピンを収容する長方形の S i 貫通孔を備え、前記長方形の S i 貫通孔の 2 辺若しくは 4 辺において、プローブピンのピン配列方向が対向するようにプローブピンを配設して形成する第 1 段階のプローブピン形成行程を具備し、

所定複数種類の S i 基板の製作によって全体として目的とする行列状のプローブピンの配列に対応するように、上記第 1 段階のプローブピン形成行程を適用して、所定複数種類の S i 基板を製作し、

製作された上記所定複数種類の S i 基板に基づいて、プローブカードの中央部から順次プローブピンが転写実装されるように、対応する種類の S i 基板に存在するプローブピンをプローブカードへ順次転写実装する第 2 段階の転写実装行程を具備し、

、以上を特徴とするプローブカードの製造方法がある。

これにより、従来比で半分の転写実装行程（接合行程）で済む利点が得られる

。更に、製作時間を約半分に短縮できる利点も有しているからして、より安価にプローブカードを製作できる。

【0 0 3 4】

次に、第 1 6 の解決手段を示す。

上述第 2 段階の転写実装行程において、1 つの S i 基板に存在するプローブピンをプローブカードへ転写実装後、当該 S i 基板はエッチング除去する、ことを特徴とする上述プローブカードの製造方法がある。

【0 0 3 5】

【発明の実施の形態】

以下に本発明を適用した実施の形態の一例を図面を参照しながら説明する。また、以下の実施の形態の説明内容によって特許請求の範囲を限定するものではないし、更に、実施の形態で説明されている要素や接続関係が解決手段に必須であるとは限らない。更に、実施の形態で説明されている要素や接続関係の形容／形態は、一例でありその形容／形態内容のみに限定するものではない。

【0 0 3 6】

本発明について、図 5 と図 6 とを参照して以下に説明する。尚、従来構成に対応する要素は同一符号を付し、また重複する部位の説明は省略する。

【0 0 3 7】

第 1 のプローブカードの形成例について、図 5 を示して説明する。尚、この形成例でも、従来と同様の、6 行 4 列とした簡素な格子状の配列形態とする。ここで、6 行の各プローブピン 1 0 は第 1 行、第 2 行、第 3 行、第 4 行、第 5 行、第 6 行のプローブピン 1 0 と呼称する。

本発明におけるプローブピン 1 0 の配列形態は、図 5 (a 、 b) に示すように、プローブピン 1 0 の配列方向が対向するように形成させる。更に、以下に示す形成手順によって、従来の 6 回の接合行程から、3 回の接合行程にてプローブカードを製造できる。

【0 0 3 8】

まず、第 1 行程では、図 5 (c) に示す貫通孔 1 4 g を備えて、対向する第 3 行と第 4 行の 2 列分のプローブピン 1 0 を有する第 1 の S i 基板 1 2 を適用する

。この第1のSi基板12のプロープピン10を接合後、当該Si基板12をエッチング除去する。この結果、図5Aに示すように、1回の接合行程で第3行と第4行の2列分のプロープピン10が一度に形成できる。

【0039】

次の第2行程では、貫通孔14hを備えて、対向する第2行と第5行の2列分のプロープピン10を有する第2のSi基板12を適用する。この第2のSi基板12のプロープピン10を接合後、当該Si基板12をエッチング除去する。この結果、図5Bに示すように、1回の接合行程で第2行と第5行の2列分のプロープピン10が一度に形成できる。この結果、図5Bに示すように、1回の接合行程で更に2列分のプロープピン10が形成できる。ここで、上記第1行程で形成済みの図5Aに示す2列のプロープピン10が突出して存在するが、貫通孔14hの内側に存在するため支障とならない。

【0040】

次に、最後の第3行程では、貫通孔14jを備えて、対向する第1行と第6行の2列分のプロープピン10を有する第3のSi基板12を適用する。この第3のSi基板12のプロープピン10を接合後、当該Si基板12をエッチング除去する。この結果、図5Cに示すように、1回の接合行程で第1行と第6行の2列分のプロープピン10が一度に形成できる。この結果、図5A、B、Cに示すように、3回の接合行程で6列分のプロープピン10が形成完了できる。ここでも、上記第2行程で形成済みの図5A、Bに示す4列のプロープピン10が突出して存在するが、貫通孔14jの内側に存在するため支障とならない。

【0041】

尚、ピンパッド8と接続するピン配線パターン6は、図5Fに示すように、所望の多層基板を適用して外部の端子／コネクタ（図示せず）へ電氣的にパターン配線できるようにする。

【0042】

上述した本発明の接合行程によれば、第1に、Si基板12に備える所定複数個のプロープピン10は、Si基板12の貫通孔14g、14h、14jの対向する2辺から所定の配設条件で、各プロープピン10を形成し、プローブカード

に配設すべき所定配列のプローブピン 1 0 に対応する前記複数種類の S i 基板 1 2 を用意しておき、第 2 に、プローブカードに配設すべき所定配列のプローブピン 1 0 の接合行程において、内側から順番にプローブピン 1 0 が接合形成されるように、上記複数種類の S i 基板 1 2 を適用してプローブカードに接合してエッチング除去する。この結果、格子状に配列すべきプローブカードの製造に対して、従来よりも半分の接合行程で済む利点を得られる。更に、製作時間を約半分に短縮できる利点も有しているからして、より安価にプローブカードを製作できる。

【 0 0 4 3 】

次に、第 2 のプローブカードの形成例について、図 6 を示して説明する。尚、この形成例では、6 行 6 列の簡素な格子状の配列形態とする。

本発明におけるプローブピン 1 0 の配列形態は、図 6 (a) に示すように、プローブピン 1 0 の配列方向が 4 辺から内側へ向かうように形成させる。

【 0 0 4 4 】

第 1 行程で使用するシリコン基板 1 2 は、図 6 (b) に示すように、貫通孔 1 4 p を備えて 4 個のプローブピン 1 0 が対向配列して形成したものを適用する。尚、ベース基板 4 への接合手順は上述と同様であるので説明を省略する。

【 0 0 4 5 】

第 2 行程で使用するシリコン基板 1 2 は、図 6 (c) に示すように、貫通孔 1 4 q を備えて 1 2 個のプローブピン 1 0 が対向配列して形成したものを適用する。尚、ベース基板 4 への接合手順において、上記第 1 行程で形成済みの 4 個のプローブピン 1 0 が突出して存在するが、貫通孔 1 4 q の内側に存在するため、上述図 5 の場合と同様に支障とならない。

【 0 0 4 6 】

最後の第 3 行程で使用するシリコン基板 1 2 は、図 6 (d) に示すように、貫通孔 1 4 r を備えて 2 0 個のプローブピン 1 0 が対向配列して形成したものを適用する。尚、ベース基板 4 への接合手順において、上記第 1 行程と第 2 行程で形成済みの 1 6 個のプローブピン 1 0 が突出して存在するが、貫通孔 1 4 r の内側に存在するため、上述図 5 の場合と同様に支障とならない。

【0047】

上述した本発明の接合行程によれば、第1に、Si基板12に備える所定複数のプローブピン10は、Si基板12の貫通孔14p、14q、14rの対向する4辺から所定の配設条件で、個々のプローブピン10を形成し、プローブカードに配設すべき所定配列のプローブピン10に対応して前記複数種類のSi基板12を備えておき、第2に、プローブカードに配設すべき所定配列のプローブピン10の接合行程において、内側から順番にプローブピン10が接合形成されるように、上記複数種類のSi基板12を適用してプローブカードに接合してエッチング除去する。この結果、格子状に配列すべきプローブカードの製造に対して、従来よりも半分の接合行程で済む利点を得られる。更に、製作時間を約半分に短縮できる利点も有しているからして、より安価にプローブカードを製作できる。

【0048】

尚、本発明の技術的思想は、上述実施の形態の具体構成例、に限定されるものではない。更に、本発明の技術的思想に基づき、上述実施の形態を適宜変形して広汎に応用してもよい。

例えば、上述実施例では、格子状の配列形態のプローブピンの全てが狭い配列ピッチとした具体例であったが、Si基板12の形状維持・強度維持の為に備えるSi基板12の両遠端部の幅に対して、一列状態のプローブピンの配列ピッチが部分的に広くても良い場合においては、Si基板12に対して2カ所以上の貫通孔14を備えるようにして、接合行程の回数を更に低減可能としても良い。

【0049】**【発明の効果】**

本発明は、上述の説明内容からして、下記に記載される効果を奏する。

上述説明したように本発明によれば、第1に、貫通孔の対向する2辺若しくは4辺に貫通孔へ突出する所定の配設条件で、個々のプローブピンを形成した複数種類のSi基板を備えておき、第2に、プローブカードに配設すべき所定配列のプローブピン10の接合行程において、内側から順番にプローブピンが接合形成されるように、上記複数種類のSi基板を適用してプローブカードに接合してエ

ッティング除去して全てのプローブピンを接合する。この結果、格子状に配列すべきプローブカードの製造に対して、従来よりも半分の接合行程で済む利点を得られる。更に、製作時間を約半分に短縮できる利点も有しているからして、より安価にプローブカードを製作できる。

従って、本発明の技術的効果は大であり、産業上の経済効果も大である。

【図面の簡単な説明】

【図 1】 ベース基板に接合する S i 基板を底面側から見た平面図及び側断面図と、プローブカードのベース基板を上面側から見た平面図及び側断面図。

【図 2】 S i 基板とベース基板とを接合する行程を示す断面図と、ベース基板の平面図。

【図 3】 プローブピンのコンタクト配列が 2 列で対向する配列形態例と、4 辺にプローブピンを備える配列形態例。

【図 4】 従来の、格子状の配列形態のプローブピンの説明図と、プローブカードの製造行程を説明する図。

【図 5】 本発明の、格子状の配列形態のプローブピンの説明図と、プローブカードの製造行程を説明する図。

【図 6】 本発明の、他のプローブカードの製造行程を説明する図。

【符号の説明】

- 4 ベース基板
- 8 ピンパッド
- 10 プローブピン
- 11 コンタクト端部
- 12 シリコン基板 (S i 基板)
- 14, 14 a, 14 b, 14 c, 14 d, 14 f, 14 g, 14 h, 14 j,
14 p, 14 q, 14 r S i 貫通孔 (貫通孔)

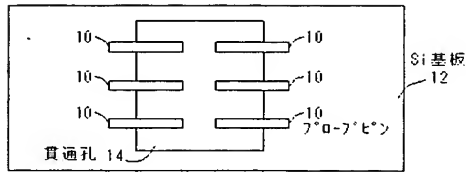
【書類名】 図面

【図 1】

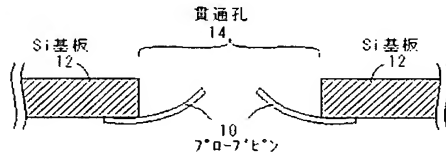
【図 1】

(a)

(平面図)

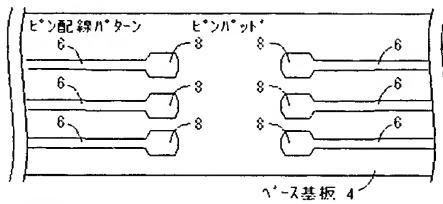


(断面図)

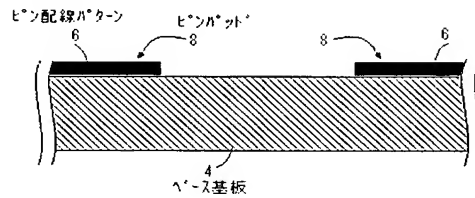


(b)

(平面図)

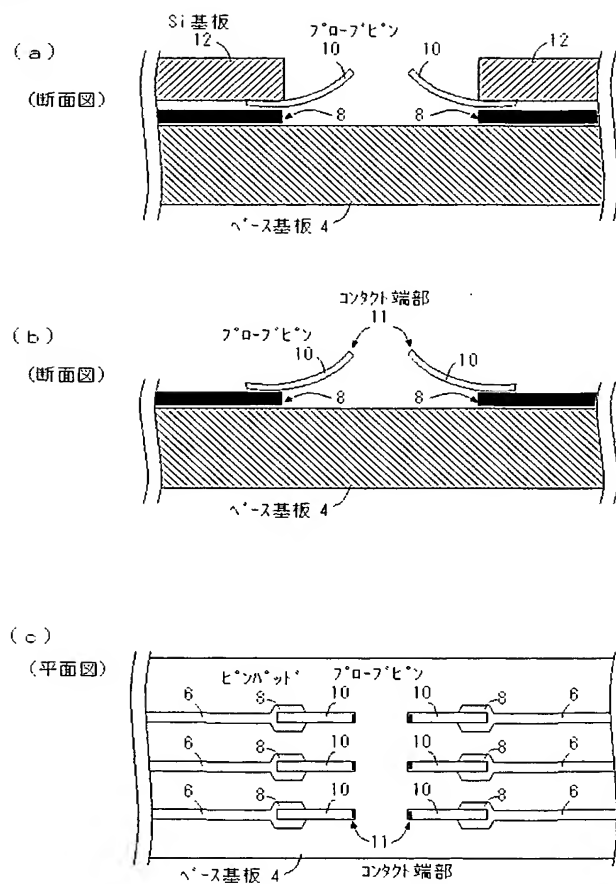


(断面図)



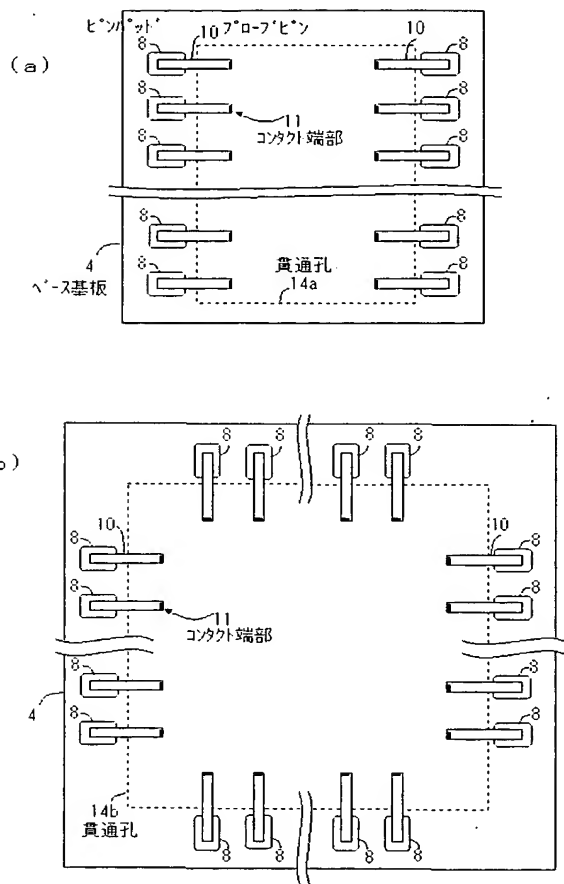
【図 2】

【图2】

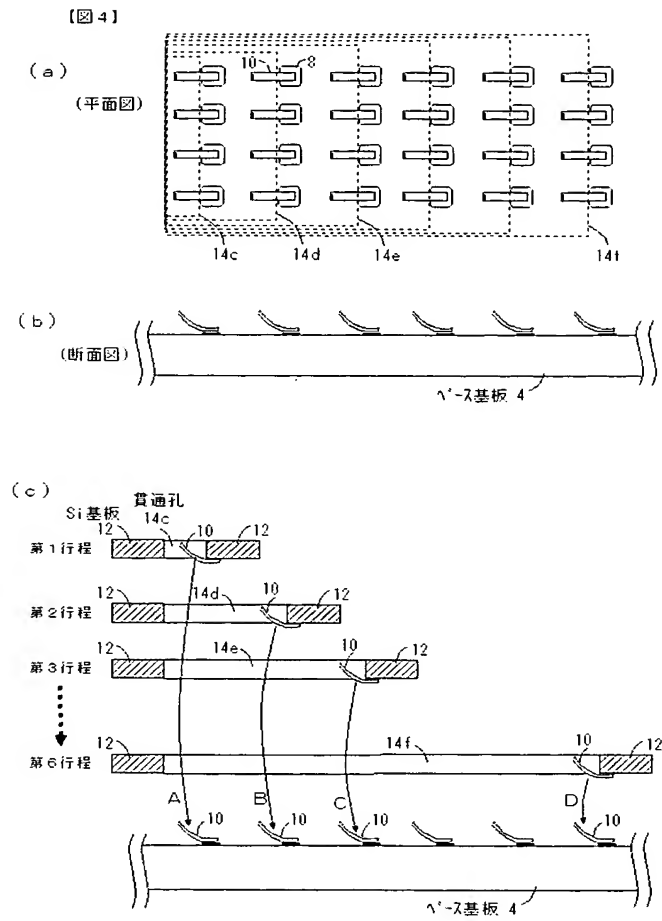


【図 3】

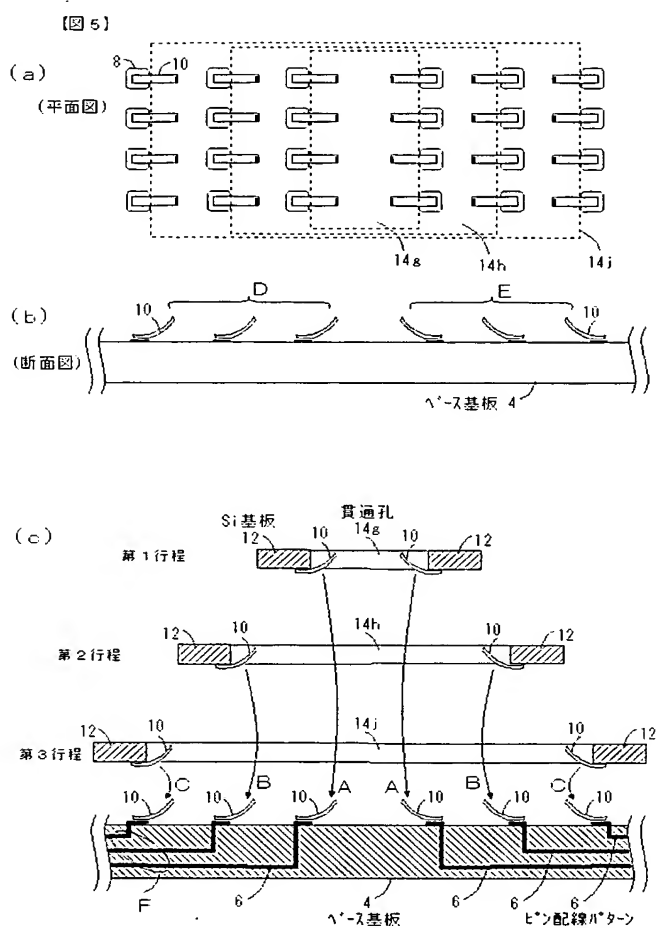
【図 3】



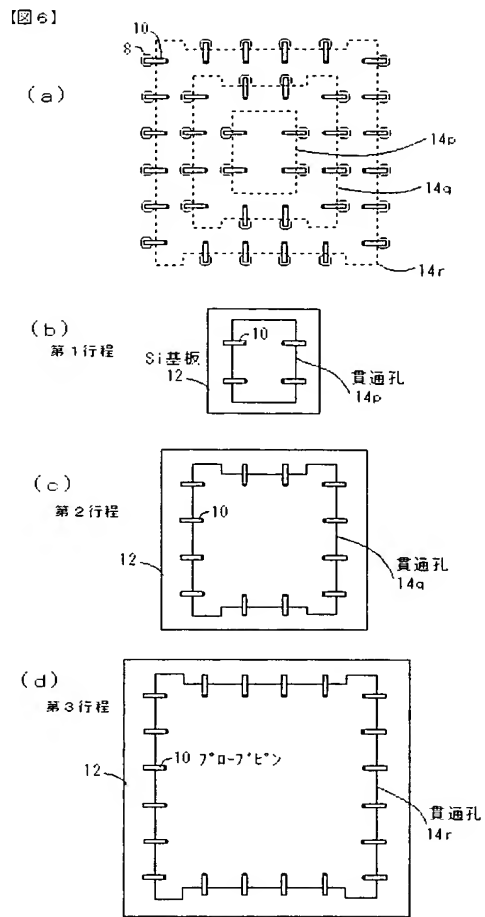
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 格子状の配列形態のプローブピンを形成するプローブカードにおいて、少ない製作工程で所定の格子状の配列形態のプローブピンを形成可能なプローブカード、及びその製造方法を提供する。

【解決手段】 被試験回路上に設けられた複数の接続端子に電氣的に接続して、被試験回路と、外部の半導体試験装置のと間で信号の伝送を行わしめるプローブカードであって、第 1 の基板を具備し、第 1 の基板において形成された複数の信号伝送路を具備し、第 2 の基板に形成された複数の接触子を具備し、被試験回路に設けられた接続端子の先端に接触するように、信号伝送路の先端に複数の接触子を複数回に分けて接触して固定することにより外部の半導体試験装置との間で信号の伝送を行わしめる、プローブカード。

【選択図】 図 5

特願 2 0 0 1 - 2 4 3 4 0 7

出 願 人 履 歴 情 報

識別番号 [3 9 0 0 0 5 1 7 5]

1. 変更年月日	1 9 9 0 年 1 0 月 1 5 日
[変更理由]	新規登録
住 所	東京都練馬区旭町 1 丁目 3 2 番 1 号
氏 名	株式会社アドバンテスト